



(19)

(11) Publication number:

05342085 A

Generated Document

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 04149655

(51) Intl. Cl.: G06F 12/00

(22) Application date: 09.06.92

(30) Priority:

(43) Date of application  
publication: 24.12.93(84) Designated  
contracting states:

(71) Applicant: MITSUBISHI ELECTRIC CORP

(72) Inventor: TANABE TAKASHI

(74) Representative:

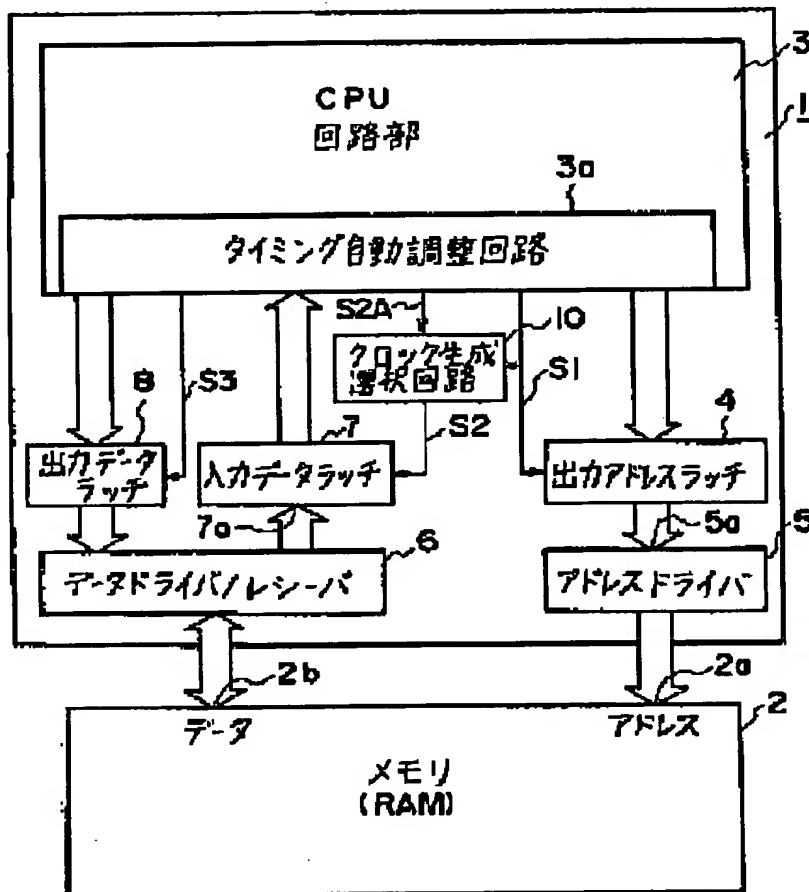
(54) MEMORY ACCESS  
CONTROL CIRCUIT

(57) Abstract:

**PURPOSE:** To provide the memory access control circuit which can save labor for adjusting timing for a lot of signals and can deal with the change of a temperature or voltage to be used.

**CONSTITUTION:** An automatic timing adjusting circuit 3a judges whether data for check are correct or not by fetching the data for check written in a memory 2 while changing latch timing and based on the correct/wrong judged result, a timing instruction signal S2A is outputted. Based on this timing instruction signal S2A, a clock generation circuit 10 sets the latch timing. On the other hand, the automatic timing adjusting circuit 3a is provided with a temperature detection circuit and a voltage detection circuit to be connected so that automatic adjustment can be performed when the temperature or voltage is changed over a prescribed range.

COPYRIGHT: (C)1993,JPO&amp;Japio



(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-342085

(43)公開日 平成5年(1993)12月24日

(51)Int. CL<sup>5</sup>  
G 0 6 F 12/00

識別記号  
5 6 4

庁内整理番号  
7368-5B

F I

技術表示箇所

審査請求 未請求 請求項の数1(全 10 頁)

(21)出願番号 特願平4-149655

(22)出願日 平成4年(1992)6月9日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 田辺 隆司

神奈川県鎌倉市上町屋325番地 三菱電機

株式会社コンピュータ製作所内

(74)代理人 弁理士 金山 敏彦 (外2名)

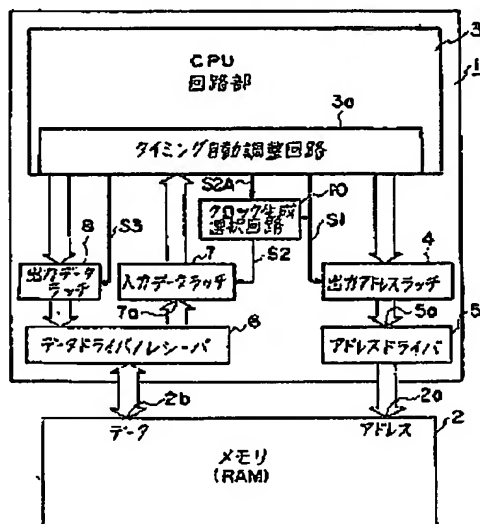
(54)【発明の名称】 メモリアクセス制御回路

(57)【要約】

【目的】メモリアクセスタイミングを調整するに際し、観測しながら多数の信号をタイミング調整する労力を省き、使用する温度あるいは電圧等の環境条件の変化にも対処し得るメモリアクセス制御回路を提供することを目的とする。

【構成】タイミング自動調整回路3aにより、メモリ2に書き込まれたチェック用データをラッチタイミングを変化させつつ取り込んで該チェック用データの正誤判定を行い、その正誤判定結果に基づきタイミング指示信号S2Aを出力する。クロック生成選択回路1(1)は、このタイミング指示信号S2Aに基づき前記ラッチタイミングを設定する。これにより、最適なラッチタイミングを自動調整する。

本発明の第1実施例



## 【特許請求の範囲】

【請求項1】 メモリ回路に対するデータの読出し制御を行うメモリアクセス制御回路において、前記メモリ回路に書き込まれたチェック用データをラッチタイミングを変化させつつ取り込んで該チェック用データの正誤判定を行い、その正誤判定結果に基づきタイミング指示信号を出力するタイミング判別手段と、前記タイミング指示信号に基づき前記ラッチタイミングを設定するタイミング設定手段とを備えたことを特徴とするメモリアクセス制御回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、高速なCPUに使用されるメモリアクセス制御回路、特にメモリの読出しデータをラッチするタイミングが調整可能なメモリアクセス制御回路に関する。

## 【0002】

【従来の技術】 近年、CPUの性能は格段に進歩し、マシンサイクルは100MHz以上（サイクルタイムが10ns以下）のものが出現しつつある。CPUを高速に動作させるためにはマシンサイクルより高速な動作（アクセスタイムが短いもの）ができるメモリ素子が必須であるが、メモリのアクセスタイムはほぼ限界にきており、使用するCPU及び周辺回路の特性のばらつきを考慮するとマージンのある設計を行うことが次第に困難になってきている。

【0003】 この点を解決するための従来技術として、例えば、図9に示すように、メモリからの読出しデータを取り込むタイミングを外部の遅延回路で調整する方式が考えられている。

【0004】 図9は、従来のメモリアクセス制御回路の構成例を示すブロック図である。このメモリアクセス制御回路はCPUチップ1と該CPUチップ1に接続されるメモリ2とを備え、CPUチップ1には、演算処理等の基本処理を行うCPU回路部3と、メモリ2をアクセスする時のアドレスをラッチするための出力アドレスラッチ4と、アドレスを出力するためのアドレスドライバ5と、メモリ2との間でデータの入出力を行うためのデータドライバ/レシーバ6と、入力データをラッチするための入力データラッチ7と、メモリ2への書き込みデータをラッチするための出力データラッチ8とが設けられている。

【0005】 なお、図中2aはメモリ2のアドレス入力端子、2bはメモリ2のデータ入出力端子、5aはアドレスドライバ5の入力端子及び7aは入力データラッチ7の入力端子であり、さらに図中のS1、S2、S3は出力アドレスラッチ4、入力データラッチ7及び出力データラッチ8にそれぞれデータを書き込むためのストロブ信号である。そして、CPUチップ1の外部にはストロブ信号S1を一定時間遅延させてストロブ信号

S2を生成するディレイライン等の遅延回路9が設けられている。

【0006】 このように構成されるメモリアクセス制御回路は、図10に示すタイミングに従って動作する。なお、この図10における符号5Aはアドレスドライバ5の入力端子5aに入力される出力アドレスラッチ4からのアドレス信号、2Aはメモリ2のアドレス入力端子2aに入力されるアドレス、2Bはメモリ2のデータ端子2bから出力される読出しデータ、7Aは入力データラッチ7の入力端子7aにおけるメモリ2からの読出しデータ、及びS2は遅延回路9によりタイミング調整された入力データラッチ7の書き込みストロブ信号である。

【0007】 まず、CPU回路部3がメモリ2からのデータを読み出す際に、出力アドレスラッチ4にアクセスするアドレスADDR1をストロブ信号S1によりセットすることにより、アドレス信号5Aが出力される。このアドレス信号5Aはアドレスドライバ5を介して期間T1の遅れ時間後にメモリ2のアドレス入力端子2aに供給される。

【0008】 メモリ2は、アドレス信号2A（ADDR1）が供給されて読出し動作（読出し信号は図示省略）であると認識すると、メモリ2のアクセスタイムT2後にデータ端子2bに読出しデータDATA1を出力する。データ端子2bへ出力されたデータDATA1はデータドライバ/レシーバ6を介して期間T3の経過後にデータ入力端子7aに到達する。

【0009】 一方、メモリ2の読出し時に出力されたストロブ信号S1は、CPUチップ1の外部に一旦出力された後、遅延回路9で所望時間だけ遅延され、CPUチップ1に再度入力される。このように、一旦、外部の遅延回路9を経由することで、CPUチップ1内部でのメモリデータをアクセスするための、アドレスからデータ入力までの経路長を同一にし、CPUチップ1の遅延のばらつきの影響を同じにする考慮がされている。

【0010】 入力データラッチ7のデータ入力端子7aに到達したメモリ2からの読出しデータDATA1は、遅延回路9を経由して戻ってきたストロブ信号S2の立ち上がりエッジで、入力データラッチ7に取り込まれる。この時、データDATA1とストロブ信号S2が図10に示すセットアップ時間T4とホールド時間T5で定められる両方の関係を満足しないと、正しい読出しデータDATA1を取り込むことができない。

【0011】 ところで、CPU回路部3がメモリ2に連続アクセスする場合は、次のサイクルでは新しいアドレスADDR2を出力するため、アドレスADDR1による読出しデータDATA1は図10のアドレスミニマム期間T6+アクセスミニマム期間T7+データミニマム期間T8後には、アドレスADDR2による読出しに変わるので、データ入力端子7aでのデータ有効期間はT4+T9のデータバリッド期間T10になる。

【0012】以上のようにデータを取り込むラッチタイミングは、使用している素子の遅延時間、メモリアクセスタイムに大きな影響を受け、この影響による調整を行うのが遅延回路9である。

【0013】しかし、このような遅延回路9を設けた方式では、ラッチタイミング調整の際にはメモリ2からの読出しデータ2B及びストローブ信号S2をオンロスコープ等の計測器により観測しながら遅延回路9の設定を変える必要があり過大な労力が必要であった。さらに、CPUチップ1の外部では読出しデータを観測できるだけであり、実際のCPUチップ1内部の読出しデータ7Aのタイミングは不明であり、外部の観測だけで設定しても不確実要素を含んでいるために、マージンのある設定を行うことは困難であった。

【0014】この点を解決する一手段として、ラッチ用のIC内部にラッチタイミングを可変にするための回路を設け、ラッチされた実際の出力データを観測しながらラッチタイミング調整を行う方式が特開平3-113523号公報（文献1）に開示されている。

【0015】また、この種のタイミング調整方式としては、クロック位相変換回路により、自由に可変でき且つ一定時間遅延した言込みパルスを生成できるようにし、メモリ回路のゲート遅れ時間のバラツキを考慮せずにしかも容易なタイミング調整を図るものが特開昭63-253589号公報（文献2）等に開示されている他、特開昭63-7598号公報（文献3）等にも開示されている。

【0016】

【発明が解決しようとする課題】しかしながら、上記文献1の方式では、観測しながらタイミング調整する労力は依然として必要であり、しかもCPU内部でラッチされた多数ビットの出力を外部で測定するためには、CPUチップに余分な出力ピンが必要になるばかりでなく、多数の出力信号を測定しなければならないという問題があった。

【0017】また、上記文献1及び2を含めた従来技術では、回路に使用するCPUチップやメモリ素子は、使用する温度あるいは電圧等の環境条件が異なると、アドレスの遅延時間やメモリアクセスタイムが変化するため、一度設定したタイミングではデータの取り込みができなくなることも発生し、信頼性が低くなるという問題もある。これを避けるためにはマシンサイクルを遅くするか、必要以上に高速な素子を使用してマージンを確保する必要があり、性能及び価格の面で問題が生ずる。

【0018】本発明は上記従来の問題点に鑑み、メモリアクセスタイミングを調整するに際し、観測しながら多数の信号をタイミング調整する労力を省き、使用する温度あるいは電圧等の環境条件の変化にも対処し得るメモリアクセス制御回路を提供することを目的とする。

【0019】

【課題を解決するための手段】上記目的を達成するために本発明では、メモリ回路に対するデータの読出し制御を行うメモリアクセス制御回路において、前記メモリ回路に書き込まれたチェック用データをラッチタイミングを変化させつつ取り込んで該チェック用データの正誤判定を行い、その正誤判定結果に基づきタイミング指示信号を出力するタイミング判別手段と、前記タイミング指示信号に基づき前記ラッチタイミングを設定するタイミング設定手段とを備えたものである。

【0020】また、本発明では、メモリ回路に対するデータの読出し制御を行うメモリアクセス制御回路において、前記メモリ回路に書き込まれたチェック用データをラッチタイミングを変化させつつ取り込んで該チェック用データの正誤判定を行い、その正誤判定結果に基づきタイミング指示信号を出力するタイミング判別手段と、前記タイミング指示信号に基づき前記ラッチタイミングを設定するタイミング設定手段と、所定範囲以上の温度変化または電圧変化が発生した場合及び一定時間の経過毎に前記正誤判定を実行させる使用状態制御手段とを備えることが好適である。

【0021】

【作用】上記構成により本発明によれば、タイミング判別手段からのタイミング指示信号に基づきタイミング設定手段が例えば種々のタイミングを発生し、このタイミングでラッチされたメモリ回路からの読出しデータが正しいか否かを、タイミング判別手段で比較チェックすることにより、最適なラッチタイミングを自動的に決定する。

【0022】本発明によれば、使用状態制御手段は、所定範囲以上の温度変化あるいは電圧変化が発生した場合及び一定時間の経過毎にタイミング判別手段を働かせてラッチタイミングの自動調整を行うことができる。

【0023】

【実施例】図1は、本発明の第1実施例に係るメモリアクセス制御回路の全体構成を示すブロック図であり、説明を簡明にするために図9と共通の要素には同一の符号が付されている。

【0024】このメモリアクセス制御回路が、先に示した図9の回路と異なる点は、遅延回路9を省略し、CPU回路部3内に入力データのラッチタイミングを自動調整するためのタイミング自動調整回路（タイミング判別手段）3aと、ストローブ信号S2のタイミングを生成するクロック生成選択回路（タイミング設定手段）10とを設け、入力データラッチ7に供給されるストローブ信号S2を、クロック生成選択回路10を介して供給するようにした点である。このクロック生成選択回路10は、タイミング自動調整回路3aからのセレクト信号（タイミング指示信号）S2Aによりタイミングの選択が行われるようになっている。

【0025】図2は、図1中のクロック生成選択回路1

0の構成を示す図であり、図中11はストローブ信号S2Aを選択するための選択用レジスタ、D0~D7はストローブ信号S1を一定時間遅らせるための遅延素子群、12は遅延素子群D0~D7で生成されたクロックの中から選択線で指示されるものを選択するセレクト回路である。

【0026】以上のように構成されるメモリアクセス制御回路の動作、特に主にタイミング自動調整回路3aの動作について図3及び図4を用いて説明する。

【0027】タイミング自動調整回路3aは、初めにステップS20において、出力アドレスラッチ4にアドレス“0000”を、出力データラッチ8に第1のチェック用データ“AAAA”をそれぞれ与えてメモリ2に書き込み動作を行う。そして次にアドレス“0001”に第2のチェック用データ“5555”をそれぞれ与えてメモリ2に書き込み動作を行う。次いでアドレスを順次進めながらデータは交互に“AAAA”と“5555”とを例えば10回程度書き込んでいく。

【0028】続いてステップS21でクロック生成選択回路10の選択用レジスタ11に初期値例えば“2”を設定する。選択用レジスタ11に“2”が設定されると、セレクト回路12はA2端子から遅延素子D2の出力を選択し、この場合は図4のS2bに示すクロックタイミングをストローブ信号S2として出力する状態になる。

【0029】ステップS22では、出力アドレスラッチ4にアドレスを“0000”から順次増加させながら与え、前もってメモリ2に書かれていたデータを読み出す。読み出されたデータは入力データラッチ7の前記選択された書き込みストローブ信号S2bにより取り込まれる。入力データラッチ7に取り込まれるデータは入力データラッチ7のデータ入力端子7aのデータであるが、この時のストローブ信号S2とデータ7Aのタイミングが図4に示すセットアップ期間T4'及びホールド期間T5'を満足している場合に正常に取り込むことができる。

【0030】次いでステップS23においては、入力データラッチ7に取り込まれたデータが交互に“AAAA”と“5555”になっているか否かを判別し、そのように正しくなっていればステップS24に進み、選択用レジスタ11の値を+1（インクリメント）した後、前記ステップS22に戻り、読出し動作を繰り返す。選択用レジスタ11の値を+1すると、セレクト12から入力端子A3の遅延素子D3のクロックが選択され、入力データラッチ7の書き込みストローブ信号S2cが出力されるようになる。

【0031】このように、順次選択用レジスタ11の値を+1しながらステップS22～ステップS24を繰り返す。データが正常に取り込めなくなるとステップS23からステップS25に移行し、正常に取り込めなくな

ったときの選択用レジスタ11の値を最大値としてセーブする。本実施例では、ストローブ信号S2eで前記T5'の条件から外れ正常に取り込めなくなるので、この時の選択用レジスタ11の値“5”が最大値としてセーブされることになる。

【0032】こうして最大値の検出が終了すると、ステップS26で選択用レジスタ11には再度初期値である“2”が設定され、前述の動作と同様にステップS27～29を繰り返す、最小値を求める。この最小値を求める際にはステップS29で選択用レジスタ11の内容を順次-1（デクリメント）していくことになる。本実施例ではストローブ信号S2aで正常に取り込めなくなるので、この時の選択用レジスタ11の値“1”が最小値としてセーブされることになる。

【0033】最後に、ステップS31で上記で求めた最大値“5”と最小値“1”の中間値である“3”を最終的な選択用レジスタ11の値として設定する。選択用レジスタ11に“3”が設定されると、セレクト回路12は遅延素子D3の出力を選択し、この場合は図4のS2cに示すクロックタイミングをストローブ信号S2として出力する状態になる。

【0034】このようにして、本実施例では、外部に使用するメモリ素子の特性を自動的に判定することができる。

【0035】図5は、本発明の第2実施例を示すメモリアクセス制御回路の構成ブロック図であり、説明を簡単にするために図1と共通の要素には同一の符号が付されている。

【0036】本実施例が上記第1実施例と異なる点は、タイミング自動調整回路3aの内部に、一定時間の経過をカウントするタイマ回路3bを設けて自動調整の実施を定期的に実行するようにし、さらにCPUチップ1の外部にタイミング自動調整回路3aに接続される温度検出回路13と電圧検出回路14を設けて所定範囲以上の温度変化または電圧変化が発生した場合に自動調整を実行するようにした（使用状態制御手段）点であり、その他の構成要素は同一である。

【0037】このメモリアクセス制御回路は、図6及び図7のフローチャートに従って動作する。すなわち、図6においてタイマ回路3bによる動作は、ステップS40ではタイマ回路3bを調べることににより、一定時間が経過するのを待っている。この一定時間が経過すると、ステップS41でタイミング自動調整回路3aを作動させてタイミングの自動調整を行う。自動調整が終了すると、ステップS40に再び戻り一定時間が経過するのを待ち、同様の動作を繰り返す。

【0038】また、温度検出回路13及び電圧検出回路14の動作は、図7においてステップS50では例えば電源が投入されたときの温度を温度検出回路13から入力しセーブする。続くステップS51では電源が投入さ

れた時の電圧を電圧検出回路14から入力しセーブする。ステップS52においては、温度検出回路13の検出値と前もってセーブされた温度を比較することにより、所定値（例えば5℃）以上の温度変化が発生したか否かを調べる。該所定値以上の温度変化が発生するとステップS53でタイミング自動調整回路3aを作動させてタイミングの自動調整を行う。その後、ステップS54で自動調整後の温度をセーブする。

【0039】続いて、ステップS55では電圧検出回路14の検出値と前もってセーブされた電圧とを比較することにより、所定値（例えば0.1V）以上の電圧変化が発生したか否かを調べる。該所定値以上の電圧変化が発生するとステップS56でタイミングの自動調整を行う。その後、ステップS57で自動調整後の電圧をセーブした後、ステップS52に戻り上記同様の処理を繰り返す。

【0040】本実施例によれば、温度または電圧等の使用する環境条件が変化しても、常に最適な状態にタイミングが自動的に設定される。

【0041】図8は、本発明の第3実施例を示すメモリアクセス制御回路の構成ブロック図であり、説明を簡単にするために図5と共通の要素には同一の符号が付されている。本実施例は、上記第2実施例における温度検出回路13及び電圧検出回路14をCPUチップ1内に取り入れたものであり、上記第2実施例と同様の動作を行う。

【0042】本実施例によれば、温度検出回路13及び電圧検出回路14をCPUチップ1内に取り入れたことにより、設計者は何も意識しないで自動調整の恩恵を受けることができ、追加部品がまったく不要でしかも簡単にシステムの信頼性を向上させることが可能となる。

【0043】なお、本発明は、図示の実施例に限定されず、種々の変形が可能である。例えば、その変形例として次のようなものがある。

【0044】（1）上記実施例のタイミング自動調整回路3aは、CPUチップ1の中に専用回路を設けた例として説明したが、このタイミング自動調整回路3aの動作はCPUの本体の処理プログラム以外に、タイミング調整を行う処理を組み込んで必要に応じてプログラムを起動するようにすればよい。

【0045】（2）タイマ回路3bは専用のハードウェアで構成する必要はなく、CPUのプログラムタイマで代用してもよい。

【0046】

【発明の効果】以上詳細に説明したように、本発明によれば、メモリ回路に書き込まれたチェック用データをラッチタイミングを変化させつつ取り込んで該チェック用データの正誤判定を行い、その正誤判定結果に基づきタイミング指示信号を出力するタイミング判別手段と、前

記タイミング指示信号に基づき前記ラッチタイミングを設定するタイミング設定手段とを備えたので、最もマージンのあるタイミングになるように自動的に調整ができ、データとラッチストロブとの関係を観測することが不要となり調整時間が短縮される。また、CPUチップの製造による特性のばらつき及び外部に使用するメモリ回路あるいは他の素子の性能のばらつきがあっても問題なく使用でき、しかも最もマージンの有る状態で使用できるので、システムの信頼性も格段に向上させることができる。

【0047】また、本発明において、メモリ回路に書き込まれたチェック用データをラッチタイミングを変化させつつ取り込んで該チェック用データの正誤判定を行い、その正誤判定結果に基づきタイミング指示信号を出力するタイミング判別手段と、前記タイミング指示信号に基づき前記ラッチタイミングを設定するタイミング設定手段と所定範囲以上の温度変化または電圧変化が発生した場合及び一定時間の経過毎に前記正誤判定を実行させる使用状態制御手段とを備えれば、温度または電圧等の使用する環境条件が変化しても、常に最適な状態にタイミングが自動的に設定されるので、周囲の温度、電圧及び経年劣化による素子の特性変化が発生していても安定して動作させることができ、しかも素子も必要以上に高価なものを使用する必要がなく、幅広い環境条件の下で信頼性のあるシステムを安価に提供することができる。

【図面の簡単な説明】

【図1】本発明の第1実施例に係るメモリアクセス制御回路の全体構成を示すブロック図である。

【図2】図1中のクロック生成選択回路10の構成を示す図である。

【図3】自動調整動作を示すフローチャートである。

【図4】第1実施例のメモリアクセスタイミングを示す図である。

【図5】本発明の第2実施例に係るメモリアクセス制御回路の全体構成を示すブロック図である。

【図6】第2実施例における定期的調整処理を示すフローチャートである。

【図7】第2実施例における温度/電圧変化時調整処理を示すフローチャートである。

【図8】本発明の第3実施例に係るメモリアクセス制御回路の全体構成を示すブロック図である。

【図9】従来のメモリアクセス制御回路の全体構成を示すブロック図である。

【図10】図9におけるメモリアクセス制御回路のメモリアクセスタイミングを示す図である。

【符号の説明】

1 CPUチップ

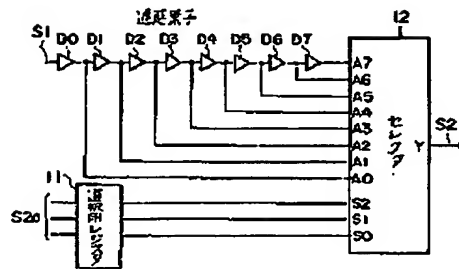
2 メモリ

3 CPU回路部

**\***

【図2】

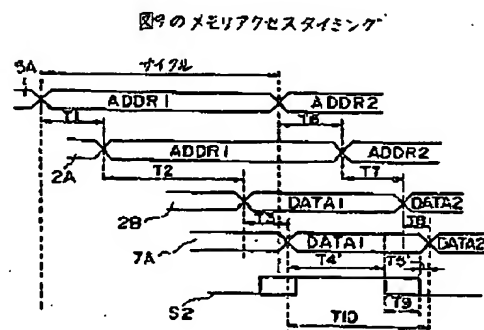
图1中的70~7生成逻辑电路



## 第2實施例の定期調整

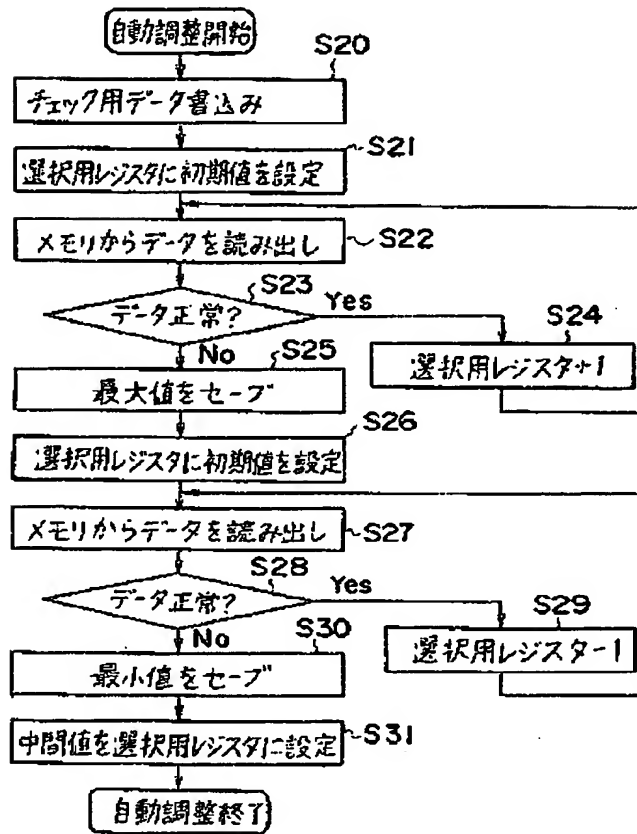


【图 10】



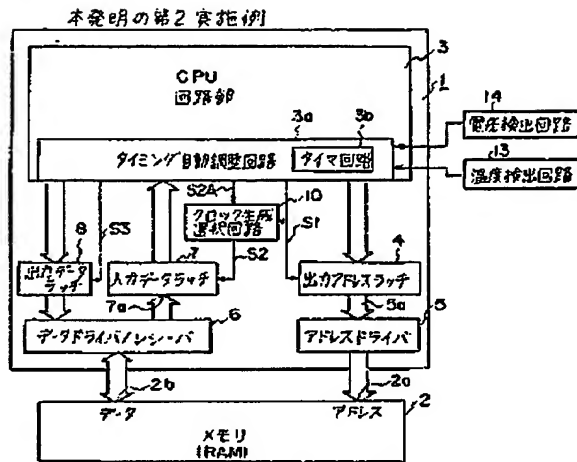
【図3】

## 第1実施例の自動調整動作

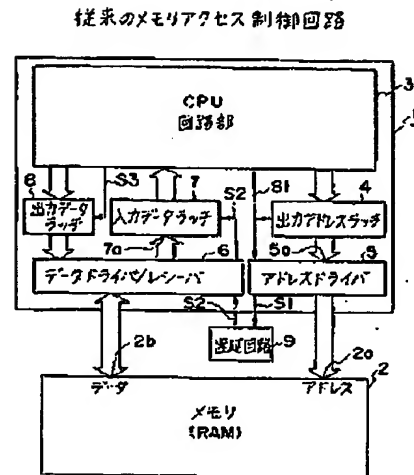




【図5】

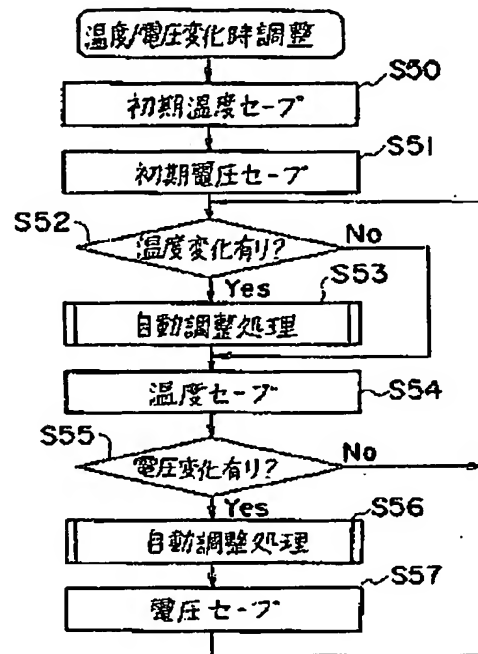


【図9】



【図7】

## 第2実施例の温度/電圧変化時調整



【図8】

## 本発明の第3実施例

